

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-312244

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

G09G 3/28

G09G 3/20

(21)Application number : 2000-127727

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 27.04.2000

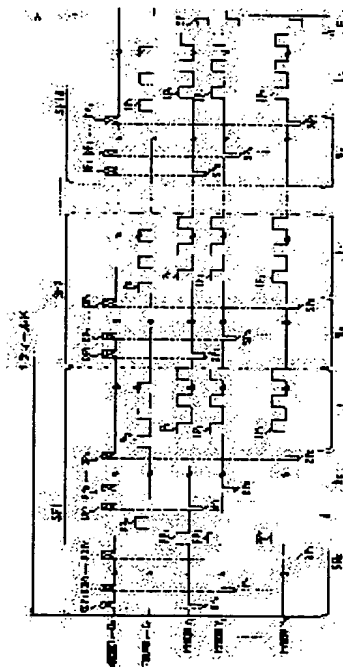
(72)Inventor : SHIGETA TETSUYA  
NAGAKUBO TETSURO  
HONDA KOJI

## (54) DRIVING METHOD OF PLASMA DISPLAY PANEL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a driving method of plasma display panel capable of enhancing the contrast while preventing a pseudo contour.

**SOLUTION:** In only a leading subfield, only discharge cells other than a discharge cell bearing a display whose luminance level is zero are made to be writingly discharged selectively to initialized to be in states of luminescent cells. Then, in only one of subfields other than the leading subfield, discharge cells being in the states of the luminescent cells are made to be erasigly discharged selectively in accordance with picture data to be shifted to be in states of non-luminescent cells and only discharge cells being in states of luminescent states are made to emit light by the number of light emissions assigned in accordance with the weighting of the subfield.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-312244

(P 2 0 0 1 - 3 1 2 2 4 4 A)

(43) 公開日 平成13年11月9日(2001.11.9)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G09G 3/28		G09G 3/20	641 E 5C080
3/20	641		641 R
	642	3/28	642 E
			K
			H
審査請求 未請求 請求項の数 3 O L (全14頁)			

(21) 出願番号 特願2000-127727(P 2000-127727)

(22) 出願日 平成12年4月27日(2000.4.27)

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 重田 哲也

山梨県中巨摩郡田富町西花輪2680番地 パ

イオニア株式会社内

(72) 発明者 長久保 哲朗

山梨県中巨摩郡田富町西花輪2680番地 パ

イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

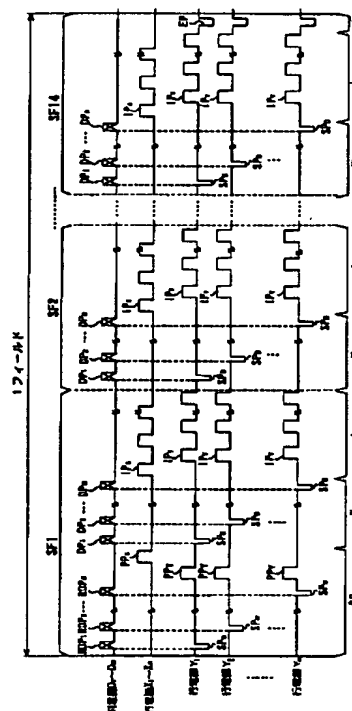
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 偽輪郭を防止しつつコントラストを向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 先頭サブフィールドにおいてのみで輝度レベル0の表示を担う放電セルを除く他の放電セルのみを選択的に書込放電せしめてこれらを発光セルの状態に初期化する。そして、先頭サブフィールドを除く他のサブフィールドの内のいずれか1のサブフィールドにおいてのみで上記発光セルの状態にある放電セルを画素データに応じて選択的に消去放電せしめて非発光セルの状態に推移せしめ、発光セルの状態にある放電セルのみをそのサブフィールドの重み付けに対応して割り当てた発光回数だけ発光せしめる。



1

## 【特許請求の範囲】

【請求項 1】 表示ラインに対応した複数の行電極と前記行電極に交叉して配列された複数の列電極との交差部に画素を担う放電セルを形成しているプラズマディスプレイパネルを映像信号に応じて階調駆動するプラズマディスプレイパネルの駆動方法であって、

前記映像信号における 1 フィールドの表示期間を複数のサブフィールドに分割した際の前記サブフィールドにおいてのみで、前記放電セル各々の内で輝度レベル 0 の表示を担う放電セルを除く他の放電セルのみを選択的に書込放電せしめてこれらを発光セルの状態に初期化し、前記先頭サブフィールドを除く他のサブフィールド各々の内のいずれか 1 のサブフィールドにおいてのみで前記発光セルの状態にある前記放電セルを前記映像信号に対応した画素データに応じて選択的に消去放電せしめて非発光セルの状態に移せしめ、前記サブフィールドの各々において、前記発光セルの状態にある前記放電セルのみを前記サブフィールド各々の重み付けに対応して割り当てた発光回数だけ発光せしめることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記書込放電の直後に前記発光セルの状態にある放電セルの各々に対してブライミング放電を生起せしめることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

【請求項 3】 複数の前記フィールド毎に、全ての前記放電セルに対してブライミング放電を生起せしめることを特徴とする請求項 1 記載のプラズマディスプレイパネルの駆動方法。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、マトリクス表示方式のプラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】 現在、薄型表示装置として、AC 型(交流放電型)のプラズマディスプレイパネルが製品化されてきている。かかるプラズマディスプレイパネルは、放電現象を利用して発光するものである為、最高輝度レベルに対応した“発光”状態、及び最低輝度レベルに対応した“非発光”状態の 2 つの状態しかもたない。そこで、このようなプラズマディスプレイパネルに対して、入力映像信号に対応した中間調の表示輝度を得るべく、サブフィールド法を用いた階調駆動を実施する。サブフィールド法では、入力映像信号に対応した N ビットの画素データの各ビット桁に対応させて、1 フィールドの表示期間を N 個のサブフィールドに分割する。そして、これら N 個のサブフィールド各々に、画素データの各ビット桁の重み付けに対応した発光回数(発光期間)を割り当て、上記画素データビットに応じて各放電セルを選択的に発光せしめる。

2

【0003】 例えば、図 1 に示されるように、1 フィールドの表示期間を 6 個のサブフィールド SF1～SF6 に分割した場合には、各サブフィールドに、

SF1 : 1

SF2 : 2

SF3 : 4

SF4 : 8

SF5 : 16

SF6 : 32

なる発光回数を割り当てる。

【0004】 この際、上記サブフィールド SF1～SF6 の内の SF6 のみで放電セルを発光させると、1 フィールド表示期間を通じて 32 回分の発光が為されて、輝度“32”の表示輝度が視覚される。一方、又、サブフィールド SF6 を除く他のサブフィールド SF1～SF5 において放電セルを発光させると、1 フィールド表示期間を通じて合計 31 回(16+8+4+2+1)分の発光が為されて、輝度“31”の表示輝度が視覚される。

【0005】 すなわち、発光を実施させるサブフィールドの組み合わせにより、64 種類の輝度が段階的に得られる、いわゆる 64 階調の輝度表示が可能となるのである。ここで、図 1 に示されるように、輝度“32”の表示輝度を得る場合と、輝度“31”の表示輝度を得る場合とでは、1 フィールド期間内での発光パターンが反転している。つまり、1 フィールド期間内において輝度“32”の表示輝度が得られる放電セルの発光期間中は、輝度“31”の表示輝度が得られる放電セルは非発光状態にあり、輝度“31”の表示輝度が得られる放電セルの発光期間中は、輝度“32”の表示輝度が得られる放電セルは非発光状態にある。この際、1 画面内において輝度“32”で表示させるべき領域(以下、表示領域 E32 と称する)と、輝度“31”で表示させるべき領域(以下、表示領域 E31 と称する)とが互いに隣接する画像が表示された場合には、以下の如き不具合が生じる。

【0006】 例えば、表示領域 E32 に存在する放電セルが非発光状態から発光状態へと推移する直前に、表示領域 E32 から E31 へと視線を移すと、両表示領域の非発光状態のみを連続して見ることになる。よって、その境界上に暗い線が視覚されことになり、これが画素データとは何等関係のない偽の輪郭となって現れて表示品質を低下させるのである。

【0007】 又、上記サブフィールド法に基づく階調駆動を実施するにあたり、プラズマディスプレイパネルでは放電現象を利用することにより、上述した如き発光動作のみならず、全放電セルの初期化及び発光させるべき放電セルの設定等を行う。従って、画像内容に関与しない放電をも実施しなければならず、この放電に伴う発光が画像のコントラストを低下させてしまうという問題があった。

【0008】 更に、現在、かかる PDP を製品化するに

あたり、低消費電力を実現することが一般的な課題となっている。

【0009】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、偽輪郭を抑制しつつも低消費電力にてコントラストの向上を図ることが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、表示ラインに対応した複数の行電極と前記行電極に交叉して配列された複数の列電極との交差部に画素を担う放電セルを形成しているプラズマディスプレイパネルを映像信号に応じて階調駆動するプラズマディスプレイパネルの駆動方法であって、前記映像信号における1フィールドの表示期間を複数のサブフィールドに分割した際の先頭サブフィールドにおいてのみで、前記放電セル各々の内で輝度レベル0の表示を担う放電セルを除く他の放電セルのみを選択的に書込放電せしめてこれらを発光セルの状態に初期化し、前記先頭サブフィールドを除く他のサブフィールド各々の内のいずれか1のサブフィールドにおいてのみで前記発光セルの状態にある前記放電セルを前記映像信号に対応した画素データに応じて選択的に消去放電せしめて非発光セルの状態に推移せしめ、前記サブフィールドの各々において、前記発光セルの状態にある前記放電セルのみを前記サブフィールド各々の重み付けに対応して割り当てた発光回数だけ発光せしめる。

【0011】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図2は、本発明による駆動方法に基づいてプラズマディスプレイパネルを階調駆動するプラズマディスプレイ装置の概略構成を示す図である。図2に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、以下に説明するが如き各種機能モジュールからなる駆動部とから構成されている。

【0012】PDP10は、アドレス電極としてのm個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列された夫々n個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。これら行電極X及び行電極Yの一对にて、PDP10における1表示ライン分に対応した行電極を形成している。行電極X及びYと列電極Dとの間には、放電ガスが封入されている放電空間が形成されており、この放電空間を含む各行電極対と列電極との交差部に画素を担う放電セルが構築される構造となっている。

【0013】駆動部は、同期検出回路1、駆動制御回路2、A/D変換器3、データ変換回路30、メモリ4、アドレスドライバ6、第1サスティンドライバ7及び第

2サスティンドライバ8から構成される。同期検出回路1は、入力映像信号中から垂直同期信号を検出した場合には垂直同期検出信号V、水平同期信号を検出した場合には水平同期検出信号Hを発生してこれらを駆動制御回路2に供給する。A/D変換器3は、入力映像信号をサンプリングしてこれを1画素毎の例えば8ビットの画素データPDに変換してデータ変換回路30に供給する。

【0014】データ変換回路30は、かかる8ビットの画素データPDを14ビットの駆動画素データGDに変換し、これをメモリ4に供給する。図3は、かかるデータ変換回路30の内部構成を示す図である。図3において、第1データ変換回路32は、8ビットで"0"～"255"なる範囲で輝度レベルを表現し得る上記画素データPDを、図4に示されるが如き変換特性に従って"0"～"224"なる輝度レベル範囲の8ビットの輝度抑制画素データ $PD_L$ に変換し、これを多階調化処理回路33に供給する。

【0015】多階調化処理回路33は、8ビットの上記輝度抑制画素データ $PD_L$ に対し、輝度分布に応じたビット圧縮を伴う誤差拡散処理及びディザ処理等の多階調化処理を施して4ビットの多階調化処理画素データPDを求める。図5は、かかる多階調化処理回路33の内部構成を示す図である。図5に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。

【0016】先ず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの輝度抑制画素データ $PD_L$ の下位2ビット分を誤差データ、上位6ビット分を表示データとして分離する。加算器332は、かかる誤差データと、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データPDのサンプリング周期と同一時間を有する遅延時間Dだけ遅らせ、これを遅延加算信号 $AD_1$ として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号 $AD_1$ に所定係数値K<sub>i</sub>(例えば、"7/16")を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号 $AD_1$ を更に(1水平走査期間-上記遅延時間D×4)なる時間だけ遅延させたものを遅延加算信号 $AD_2$ として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号 $AD_2$ を更に上記遅延時間Dだけ遅延させたものを遅延加算信号 $AD_3$ として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号 $AD_2$ を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号 $AD_4$ として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号 $AD_2$ を上記遅延時間D×3なる時間分だけ遅延させたもの

10

20

30

40

50

を遅延加算信号  $AD_3$  として係数乗算器 341 に供給する。係数乗算器 339 は、上記遅延加算信号  $AD_3$  に所定係数値  $K_2$  (例えば、"3/16") を乗算して得られた乗算結果を加算器 342 に供給する。係数乗算器 340 は、上記遅延加算信号  $AD_4$  に所定係数値  $K_3$  (例えば、"5/16") を乗算して得られた乗算結果を加算器 342 に供給する。係数乗算器 341 は、上記遅延加算信号  $AD_5$  に所定係数値  $K_4$  (例えば、"1/16") を乗算して得られた乗算結果を加算器 342 に供給する。加算器 342 は、上記係数乗算器 339、340 及び 341 各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路 334 に供給する。遅延回路 334 は、かかる加算信号を上記遅延時間  $D$  なる時間分だけ遅延させて上記加算器 332 に供給する。加算器 332 は、上記データ分離回路 331 から供給された誤差データと、遅延回路 334 からの遅延出力と、係数乗算器 335 の乗算出力との加算結果に桁上げがない場合には論理レベル "0"、桁上げがある場合には論理レベル "1" のキャリアウト信号  $C$  を発生して加算器 333 に供給する。加算器 333 は、上記データ分離回路 331 から供給された表示データに、上記キャリアウト信号  $C$  を加算したものを 6 ビットの誤差拡散処理画素データ  $ED$  として出力する。

【0017】以下に、かかる構成からなる誤差拡散処理回路 330 の動作について説明する。例えば、図 6 に示されるが如き  $PDP10$  の画素  $G(j, k)$  に対応した誤差拡散処理画素データ  $ED$  を求める場合、先ず、かかる画素  $G(j, k)$  の左横の画素  $G(j, k-1)$ 、左斜め上の画素  $G(j-1, k-1)$ 、真上の画素  $G(j-1, k)$ 、及び右斜め上の画素  $G(j-1, k+1)$  各々に対応した各誤差データ、すなわち、画素  $G(j, k-1)$  に対応した誤差データ：遅延加算信号  $AD_1$ 、

画素  $G(j-1, k+1)$  に対応した誤差データ：遅延加算信号  $AD_3$ 、

画素  $G(j-1, k)$  に対応した誤差データ：遅延加算信号  $AD_4$ 、

画素  $G(j-1, k-1)$  に対応した誤差データ：遅延加算信号  $AD_5$ 、

各々を、上述した如き所定の係数値  $K_1 \sim K_4$  をもって重み付け加算する。次に、この加算結果に、上記輝度抑制画素データ  $PD_L$  の下位 2 ビット分、すなわち画素  $G(j, k)$  に対応した誤差データを加算する。そして、かかる加算によって得られた 1 ビット分のキャリアウト信号  $C$  を輝度抑制画素データ  $PD_L$  の上位 6 ビット分、すなわち画素  $G(j, k)$  に対応した表示データに加算したものを誤差拡散処理画素データ  $ED$  として出力するのである。

【0018】このように、誤差拡散処理回路 330 では、輝度抑制画素データ  $PD_L$  の上位 6 ビットを表示データ、下位 2 ビットを誤差データと捉え、周辺画素  $G(j, k-1)$ 、 $G(j-1, k+1)$ 、 $G(j-1, k)$ 、 $G(j-1, k-1)$  各々で

得られた上記誤差データを重み付け加算したものを上記表示データに反映させて誤差拡散処理画素データ  $ED$  を得る。かかる動作により、原画素  $\{G(j, k)\}$  における下位 2 ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に 8 ビットよりも少ないビット数、すなわち 6 ビット分の表示データにて、8 ビット分の画素データ  $PD$  と同等の輝度階調表現が可能になるのである。尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に 4 つの画素各々に割り当てるべき誤差拡散の係数  $K_1 \sim K_4$  を 1 フィールド毎に変更するようにしても良い。

【0019】図 5 に示されるディザ処理回路 350 は、かかる誤差拡散処理回路 330 から供給された誤差拡散処理画素データ  $ED$  にディザ処理を施すことにより、6 ビットで表現し得る輝度階調数を維持しつつもビット数を更に 4 ビットに減らした多階調化処理画素データ  $PD$  を生成する。尚、かかるディザ処理では、隣接する複数の画素により 1 つの中間表示レベルを表現するものである。例えば、8 ビットの画素データの内の上位 6 ビットの画素データを用いて 8 ビット相当の階調表示を行う場合、左右、上下に互いに隣接する 4 つの画素を 1 組とし、この 1 組の各画素に対応した画素データ各々に、互いに異なる係数値からなる 4 つのディザ係数  $a \sim d$  を夫々割り当てて加算する。かかるディザ処理によれば、4 画素で 4 つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が 6 ビットであっても、表現出来る輝度階調レベルは 4 倍、すなわち、8 ビット相当の中間調表示が可能となるのである。

【0020】しかしながら、ディザ係数  $a \sim d$  なるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路 350 においては、4 つの画素各々に割り当てるべき上記ディザ係数  $a \sim d$  を 1 フィールド毎に変更するようにしている。

【0021】図 7 は、かかるディザ処理回路 350 の内部構成を示す図である。図 7 において、ディザ係数発生回路 352 は、互いに隣接する 4 つの画素毎に 4 つのディザ係数  $a$ 、 $b$ 、 $c$ 、 $d$  を発生してこれらを順次加算器 351 に供給する。例えば、図 8 に示されるように、第  $j$  行に対応した画素  $G(j, k)$  及び画素  $G(j, k+1)$ 、第  $(j+1)$  行に対応した画素  $G(j+1, k)$  及び画素  $G(j+1, k+1)$  なる 4 つの画素各々に対応した 4 つのディザ係数  $a$ 、 $b$ 、 $c$ 、 $d$  を発生する。この際、ディザ係数発生回路 352 は、これら 4 つの画素各々に割り当てるべき上記ディザ係数  $a \sim d$  を図 8 に示されるように 1 フィールド毎に変更して行く。

7

【0022】すなわち、最初の第1フィールドにおいては、

画素G(j,k) : ディザ係数a

画素G(j,k+1) : ディザ係数b

画素G(j+1,k) : ディザ係数c

画素G(j+1,k+1) : ディザ係数d

次の第2フィールドにおいては、

画素G(j,k) : ディザ係数b

画素G(j,k+1) : ディザ係数a

画素G(j+1,k) : ディザ係数d

画素G(j+1,k+1) : ディザ係数c

次の第3フィールドにおいては、

画素G(j,k) : ディザ係数d

画素G(j,k+1) : ディザ係数c

画素G(j+1,k) : ディザ係数b

画素G(j+1,k+1) : ディザ係数a

そして、第4フィールドにおいては、

画素G(j,k) : ディザ係数c

画素G(j,k+1) : ディザ係数d

画素G(j+1,k) : ディザ係数a

画素G(j+1,k+1) : ディザ係数b

の如き割り当てにてディザ係数a~dを発生し、この第1フィールド~第4フィールド各々での動作を繰り返し実行する。すなわち、上記第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。

【0023】加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素G(j,k)、画素G(j,k+1)、画素G(j+1,k)、及び画素G(j+1,k+1)各々に対応した誤差拡散処理画素データED各々に、上記ディザ係数a~dを夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路353に供給する。例えば、図8に示される第1フィールドにおいては、画素G(j,k)に対応した誤差拡散処理画素データED+ディザ係数a、画素G(j,k+1)に対応した誤差拡散処理画素データED+ディザ係数b、画素G(j+1,k)に対応した誤差拡散処理画素データED+ディザ係数c、画素G(j+1,k+1)に対応した誤差拡散処理画素データED+ディザ係数dの各々をディザ加算画素データとして上位ビット抽出回路353に順次供給して行くのである。

【0024】上位ビット抽出回路353は、かかるディザ加算画素データの上位4ビット分までを抽出し、これを多階調化処理画素データPD<sub>s</sub>として図3に示される第2データ変換回路34に供給する。第2データ変換回路34は、図9に示されるが如き変換テーブルに従って、かかる多階調化処理画素データPD<sub>s</sub>を第0~第14ビットからなる駆動画素データGDに変換して、メモリ4に供給する。

【0025】メモリ4は、駆動制御回路2から供給された書込信号に従って上記駆動画素データGDを順次書き

8

込む。ここで、1画面分、つまり第1行・第1列~第n行・第m列の各画素に対応した(n×m)個分の駆動画素データGD<sub>1,1</sub>~GD<sub>n,m</sub>の書き込みが終了すると、メモリ4は、以下の如き読み出し動作を行う。先ず、メモリ4は、駆動画素データGD<sub>1,1</sub>~GD<sub>n,m</sub>各々の第0ビット目を初期化データビットRDB<sub>1,1</sub>~RDB<sub>n,m</sub>と捉え、これらを1表示ライン分ずつ読み出してアドレスドライバ6に供給する。

【0026】次に、メモリ4は、駆動画素データGD<sub>1,1</sub>~GD<sub>n,m</sub>各々の第1ビット目を駆動画素データビットDB<sub>1,1</sub>~DB<sub>1,n,m</sub>と捉え、これらを1表示ライン分ずつ読み出してアドレスドライバ6に供給する。次に、メモリ4は、駆動画素データGD<sub>1,1</sub>~GD<sub>n,m</sub>各々の第2ビット目を駆動画素データビットDB<sub>2,1</sub>~DB<sub>2,n,m</sub>と捉え、これらを1表示ライン分ずつ読み出してアドレスドライバ6に供給する。次に、メモリ4は、駆動画素データGD<sub>1,1</sub>~GD<sub>n,m</sub>各々の第3ビット目を駆動画素データビットDB<sub>3,1</sub>~DB<sub>3,n,m</sub>と捉え、これらを1表示ライン分ずつ読み出してアドレスドライバ6に供給する。以下、同様にして、メモリ4は、駆動画素データGD<sub>1,1</sub>~GD<sub>n,m</sub>各々の第4ビット目~第14ビット目各々を駆動画素データビットDB<sub>3</sub>~DB<sub>14</sub>と捉え、夫々、1表示ライン分ずつ読み出してアドレスドライバ6に供給する。

【0027】駆動制御回路2は、図10に示されるが如き発光駆動フォーマットに従ってPDP10を階調駆動すべき各種タイミング信号を発生して、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。尚、図10に示される発光駆動フォーマットでは、1フィールドの表示期間を14個のサブフィールドSF1~SF14に分割し、各サブフィールド内において画素データ書込行程Wc及び発光維持行程Icを夫々実行する。更に、先頭のサブフィールドSF1においてのみで選択初期化行程SRcを実行し、最後尾のサブフィールドSF14においてのみで消去行程Eを実行する。この際、図10に示される発光駆動フォーマットでは、各画素データ書込行程Wcでの画素データの書込方法として、選択消去アドレス法を採用している。

【0028】図11は、図10に示される発光駆動フォーマットに従ってアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極及び行電極対に印加する各種駆動パルスと、その印加タイミングを示す図である。図11において、サブフィールドSF1のみで実施される選択初期化行程SRcでは、アドレスドライバ6は、上記メモリ4から読み出された初期化データビットRDB<sub>1,1</sub>~RDB<sub>n,m</sub>各々に応じたパルス電圧を有する初期化データパルスを生成する。例えば、アドレスドライバ6は、上記初期化データビットRDBの論理レベルが“1”である場

合には高電圧、“0”である場合には低電圧(0ボルト)の初期化データパルスを作成する。そして、アドレスドライバ6は、かかる初期化データパルスを1表示ライン分ずつグループ化した初期化データパルス群 $RDP_1 \sim RDP_n$ を、図11に示されるように順次、 $PDP10$ の列電極 $D_1 \sim D_m$ に印加して行く。更に、かかる選択初期化行程 $SRc$ では、第2サスティンドライバ8が、上記初期化データパルス群 $RDP_1 \sim RDP_n$ 各々の印加タイミングと同一タイミングにて負極性の走査パルス $SP_w$ を発生し、これを図11に示されるが如く行電極 $Y_1 \sim Y_n$ へと順次印加して行く。

【0029】この際、上記走査パルス $SP_w$ が印加された表示ラインと、高電圧の初期化データパルスが印加された“列”との交差部の放電セルにのみ書込放電が生起され、その放電セルの放電空間内には荷電粒子が発生する。そして、かかる書込放電の終息後、その放電セル内には壁電荷が形成され、この放電セルは“発光セル”の状態に初期化される。一方、上記走査パルス $SP_w$ が印加されたものの低電圧の初期化データパルスが印加された放電セルには上述のような書込放電は生起されない。よって、その放電セル内には上述した如き壁電荷が形成されず、この放電セルは“非発光セル”状態のままである。

【0030】そして、走査パルス $SP_w$ が行電極 $Y_n$ に印加された後、第2サスティンドライバ8は、図11に示されるが如き正極性のブライミングパルス $PP_y$ を行電極 $Y_1 \sim Y_n$ の各々に同時に印加する。その後、第1サスティンドライバ7は、図11に示されるが如き正極性のブライミングパルス $PP_x$ を行電極 $X_1 \sim X_n$ の各々に同時に印加する。上記ブライミングパルス $PP_y$ 及びブライミングパルス $PP_x$ の印加により、壁電荷が残留している放電セルのみで2回分のブライミング放電が生起され、その放電終息後に再び壁電荷が形成される。つまり、前述した如き書込放電の生起された放電セルに対してのみにブライミング放電が生起され、上記書込放電によって形成されたものの時間経過と共に減少してしまった荷電粒子が再形成されるのである。

【0031】ここで、上記書込放電が生起されるのか否かは、図9に示される駆動画素データ $GD$ の第0ビットの論理レベルに依存している。尚、かかる駆動画素データ $GD$ の第0ビットは、図9に示されるように、多階調化処理画素データ $PD_s$ が“0000”、すなわち輝度レベル“0”を表す場合には論理レベル“0”となり、 $PD_s$ が輝度レベル“0”以外の輝度を表す場合には、論理レベル“1”となる。そして、駆動画素データ $GD$ の第0ビットが論理レベル“1”である場合に限り上述した如き書込放電を生起させ、第0ビットが論理レベル“0”である場合には一切放電を起こさないのである。

【0032】従って、上記選択初期化行程 $SRc$ の実行によれば、輝度レベル“0”以外の輝度を表す画素データに対応した放電セルの各々には上記書込放電に伴う壁電

荷が形成され、“発光セル”の状態に初期化される。一方、輝度レベル“0”を表す画素データに対応した放電セルの各々には放電が起こらないので上述した如き壁電荷も形成されず、“非発光セル”の状態のままとなる。すなわち、そもそも輝度レベル“0”の表示では放電セルを発光させる必要は無いので、この放電セルに対しては、“発光セル”の状態に初期化させる為の書込放電を生起させないようにしたのである。

【0033】次に、各サブフィールド内で実施される画素データ書込行程 $Wc$ では、アドレスドライバ6が、上記メモリ4から供給された駆動画素データビット $DB$ に応じたパルス電圧を有する画素データパルスを作成する。例えば、アドレスドライバ6は、駆動画素データビット $DB$ の論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0ボルト)の画素データパルスを生成する。そして、アドレスドライバ6は、上記画素データパルスを1表示ライン分毎にグループ化した画素データパルス群 $DP$ を順次、列電極 $D_1 \sim D_m$ に印加して行く。

【0034】ここで、サブフィールド $SF1$ の画素データ書込行程 $Wc$ では、メモリ4からは、前述した如き駆動画素データビット $DB_{1,1} \sim DB_{1,n}$ 各々が1表示ライン分ずつ順次読み出される。従って、この間、アドレスドライバ6は、かかる駆動画素データビット $DB_{1,1} \sim DB_{1,n}$ に基づいて生成した1表示ライン分毎の画素データパルス群 $DP_1, DP_2, DP_3, \dots, DP_n$ を図11に示されるように順次、列電極 $D_1 \sim D_m$ に印加して行く。又、サブフィールド $SF2$ の画素データ書込行程 $Wc$ では、メモリ4からは、前述した如き駆動画素データビット $DB_{2,1} \sim DB_{2,n}$ 各々が1表示ライン分ずつ順次読み出される。従って、この間、アドレスドライバ6は、かかる駆動画素データビット $DB_{2,1} \sim DB_{2,n}$ に基づいて生成した1表示ライン分毎の画素データパルス群 $DP_1, DP_2, DP_3, \dots, DP_n$ を図11に示されるように順次、列電極 $D_1 \sim D_m$ に印加して行く。以下、同様にしてサブフィールド $SF3 \sim SF14$ 各々の画素データ書込行程 $Wc$ において、アドレスドライバ6は、メモリ4から読み出された駆動画素データビット $DB_3 \sim DB_{14}$ 各々に基づく1表示ライン分毎の画素データパルス群 $DP_1, DP_2, DP_3, \dots, DP_n$ を順次、列電極 $D_1 \sim D_m$ に印加して行く。

【0035】更に、上記画素データ書込行程 $Wc$ では、第2サスティンドライバ8が、上記画素データパルス群 $DP_1, DP_2, \dots, DP_n$ 各々の印加タイミングと同一タイミングにて負極性の走査パルス $SP_o$ を発生する。そして、かかる走査パルス $SP_o$ を図11に示されるように、行電極 $X_1 \sim X_n$ へと順次印加して行く。かかる画素データ書込行程 $Wc$ において、上記走査パルス $SP_o$ が印加された表示ラインと、高電圧の画素データ

パルスが印加された"列"との交差部の放電セルにのみ放電(選択消去放電)が生じる。かかる選択消去放電により、その放電セル内に形成されていた壁電荷は消滅し、この放電セルは"非発光セル"の状態に推移する。一方、上記走査パルス  $SP_0$  が印加されたものの低電圧の画素データパルスが印加された放電セルには上述のような選択消去放電は生起されず、上記選択初期化行程  $SRc$  にて初期化された状態、つまり"発光セル"の状態が保持される。

【0036】すなわち、画素データ書込行程  $Wc$  によれば、入力映像信号に対応した各画素毎の画素データに応じて各放電セルが"発光セル"あるいは"非発光セル"の状態に設定される、いわゆる画素データの書込が為されるのである。次に、各サブフィールド内の発光維持行程  $Ic$  では、第1サステンドライバ7及び第2サステンドライバ8各々が、図11に示されるが如く行電極  $X_1 \sim X_n$  及び  $Y_1 \sim Y_n$  に対して交互に正極性の維持パルス  $IP_x$  及び  $IP_y$  を繰り返し印加する。この際、各発光維持行程  $Ic$  において印加すべき維持パルス  $IP$  の回数は、各サブフィールドの階調輝度の重み付けに応じて異なっている。例えば、サブフィールド  $SF1$  での発光実施回数(ブライミングパルス  $PP_x$  及び  $PP_y$  に基づく2回分+ $SF1$  の発光維持行程  $Ic$  で印加する維持パルス  $IP$  の数)を"1"とした場合、

$SF1: 1$   
 $SF2: 3$   
 $SF3: 5$   
 $SF4: 8$   
 $SF5: 10$   
 $SF6: 13$   
 $SF7: 16$   
 $SF8: 19$   
 $SF9: 22$   
 $SF10: 25$   
 $SF11: 28$   
 $SF12: 32$   
 $SF13: 35$   
 $SF14: 39$

である。

【0037】かかる発光維持行程  $Ic$  の実行により、壁電荷が残留したままとなっている放電セル、すなわち"発光セル"のみが、上記維持パルス  $IP_x$  及び  $IP_y$  が印加される度に維持放電し、上記回数(期間)分だけその維持放電に伴う発光を繰り返す。次に、1フィールド表示期間中の最後尾のサブフィールド  $SF14$  のみで実施される消去行程  $E$  では、第2サステンドライバ8が、図11に示されるが如き消去パルス  $EP$  を行電極  $Y_1 \sim Y_n$  に印加して全放電セルを一斉に消去放電せしめる。これにより、各放電セル内に残留していた壁電荷は全て消滅する。

【0038】以上の如き動作により、 $PDP10$  の画面上には、1フィールド表示期間内において上記サブフィールド  $SF$  各々の維持発光行程  $Ic$  で実施された発光の合計回数に応じた表示輝度が現れる。尚、各サブフィールドの発光維持行程  $Ic$  で上記維持放電を生起させるか否かは、そのサブフィールド内の画素データ書込行程  $Wc$  において選択消去放電を生起させるか否かにより決定する。ここで、図9に示されるが如き駆動画素データ  $GD$  のビットパターンによれば、同図中において黒丸にて示されるように、1フィールド表示期間中における多くとも1つのサブフィールドの画素データ書込行程  $Wc$  においてのみで選択消去放電が生起される。よって、先頭サブフィールド  $SF1$  の選択初期化行程  $SRc$  にて形成された壁電荷は上記選択消去放電が生起されるまでの間残留して各放電セルは"発光セル"の状態を維持する。従って、その間に存在するサブフィールド各々(白丸にて示す)の発光維持行程  $Ic$  各々において連続して発光が生じることになる。この際、図9に示されるように、上記選択消去放電によって一旦、非発光状態に推移した放電セルは、その1フィールド内において再び"発光セル"の状態に推移することはない。よって、図1に示されるが如き、1フィールド表示期間内において放電セルが発光状態にある期間と、非発光状態にある期間とが反転するような発光パターンは存在しないので、偽輪郭の発生が抑制されるようになる。

【0039】図9に示されるが如き15系統のビットパターンを取り得る駆動画素データ  $GD$  を用いて、図10及び図11に示されるが如き階調駆動を実施すれば、各ビットパターンに応じた15系統の発光駆動が為され、

30 {0, 1, 4, 9, 17, 27, 40, 56, 75, 97, 122, 150, 182, 217, 255}なる15階調分の中間表示輝度が得られる。

【0040】一方、 $A/D$ 変換器3にて得られた画素データ  $PD$  は、8ビット、すなわち、256段階の中間調を表現し得るものである。そこで、上記15階調の階調駆動によっても擬似的に256段階の中間調表示を実現させるべく、図3に示される多階調化処理回路33によって多階調化処理を実施しているのである。更に、本発明では、選択初期化行程  $SRc$  において、輝度レベル"0"の表示、つまり黒表示を担う放電セルに対してはその初期化の為の書込放電を生起させないようにしている。よって、この黒表示を担う放電セルでは一切、放電発光が生じないので、黒表示に対するコントラストが向上する。

【0041】尚、上記実施例においては、先頭のサブフィールド  $SF1$  において、画素データ書込行程  $Wc$  を実行するようにしている。しかしながら、輝度レベル"0"以外の輝度レベルを担う放電セルは、必ずサブフィールド  $SF1$  の発光維持行程  $Ic$  において発光させることになるので、サブフィールド  $SF1$  の画素データ書込行程  $Wc$  をわざわざ実施する必要はない。



【0042】図12は、かかる点に鑑みて為された発光駆動フォーマットを示す図である。又、図13は、この発光駆動フォーマットに従ってアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極及び行電極対に印加する各種駆動パルスと、その印加タイミングを示す図である。図12に示される発光駆動フォーマットでは、各サブフィールド内において発光維持行程Icを実行し、先頭のサブフィールドSF1を除く他のサブフィールドの各々において画素データ書込行程Wcを実行する。そして、先頭のサブフィールドSF1においてのみで選択初期化行程SRc'を実行し、最後尾のサブフィールドSF14においてのみで消去行程Eを実行する。

【0043】尚、図12及び図13に示される階調駆動では、サブフィールドSF1を除く他のサブフィールドSF2～SF14各々での動作は、図10及び図11に示されるものと同一である。よって、以下にサブフィールドSF1内での動作のみ説明する。図13に示されるように、選択初期化行程SRc'では、アドレスドライバ6が、上記メモリ4から読み出された初期化データビットRDB<sub>1</sub>～RDB<sub>m</sub>各々に応じたパルス電圧を有する初期化データパルスを生成する。この際、前述したように、初期化データビットRDBとは、図9に示される駆動画素データGDの第0ビット目の論理レベルを示すものである。例えば、アドレスドライバ6は、上記初期化データビットRDBの論理レベルが"1"である場合には高電圧、"0"である場合には低電圧(0ボルト)の初期化データパルスを生成する。そして、アドレスドライバ6は、かかる初期化データパルスを1表示ライン分ずつグループ化した初期化データパルス群RDP<sub>1</sub>～RDP<sub>n</sub>を、図13に示されるように順次、PDP10の列電極D<sub>1</sub>～D<sub>m</sub>に印加して行く。更に、かかる選択初期化行程SRc'では、第2サスティンドライバ8が、上記初期化データパルス群RDP<sub>1</sub>～RDP<sub>n</sub>各々の印加タイミングと同一タイミングにて負極性の走査パルスSP<sub>w</sub>を発生し、これを行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。

【0044】この際、上記走査パルスSP<sub>w</sub>が印加された表示ラインと、高電圧の初期化データパルスが印加された"列"との交差部の放電セルにのみ書込放電が生起され、その放電セルの放電空間内には荷電粒子が発生する。そして、かかる書込放電の終息後、その放電セル内には壁電荷が形成され、この放電セルは"発光セル"の状態に初期化される。一方、上記走査パルスSP<sub>w</sub>が印加されたものの低電圧の初期化データパルスが印加された放電セルには上述のような書込放電は生起されない。よって、その放電セル内には上述した如き壁電荷が形成されず、この放電セルは"非発光セル"状態のままである。

【0045】ここで、上記書込放電が生起されるのか否かは、図9に示される駆動画素データGDの第0ビット

の論理レベルに依存している。尚、かかる駆動画素データGDの第0ビットは、図9に示されるように、多階調化処理画素データPD<sub>s</sub>が"0000"、すなわち輝度レベル"0"を表す場合には論理レベル"0"となり、PD<sub>s</sub>が輝度レベル"0"以外の輝度を表す場合には、論理レベル"1"となる。そして、駆動画素データGDの第0ビットが論理レベル"1"である場合に限り上述した如き書込放電を生起させ、第0ビットが論理レベル"0"である場合には一切放電を起さないのである。

【0046】従って、上記選択初期化行程SRc'の実行によれば、輝度レベル"0"以外の輝度を表す画素データに対応した放電セルの各々には上記書込放電に伴う壁電荷が形成されて、"発光セル"の状態に初期化される。一方、輝度レベル"0"を表す画素データに対応した放電セルの各々には放電が起こらないので上述した如き壁電荷も形成されず、"非発光セル"の状態のままとなる。すなわち、輝度レベルが"0"となる黒表示では放電セルを発光させる必要は無いので、この放電セルに対しては、"発光セル"の状態に初期化させる為の書込放電を生起させないようにしたのである。

【0047】上記選択初期化行程SRc'の実行後、サブフィールドSF1では画素データ書込行程Wcを実行せずに直ちに発光維持行程Icを実行する。尚、画素データ書込行程Wcを実行しないので、図9に示される駆動画素データGDの第1ビット目は使用しない。サブフィールドSF1での発光維持行程Icによれば、上記選択初期化行程SRc'において"発光セル"の状態に初期化された放電セルのみが、図13に示されるが如き上記維持パルスIP<sub>x</sub>及びIP<sub>y</sub>が交互に印加される度に維持放電してそれに伴う発光を繰り返す。

【0048】このように、図12及び図13に示される階調駆動におけるサブフィールドSF1では、選択初期化行程SRc'の後、画素データ書込行程Wcを実行せずに発光維持行程Icに移行するので、図10及び図11に示される駆動に比してサブフィールドSF1の実行に費やされる時間が短縮される。従って、その時間短縮分だけ、サブフィールドSF1～SF14各々の発光維持行程Icで実施すべき発光回数を増加すれば高輝度表示が為されるようになる。又、上記時間短縮分だけ、1フィールド表示期間内でのサブフィールド数を増やせば輝度階調数も増加するので、画像の表示品質を高めることが可能となるのである。

【0049】尚、上記実施例に示される階調駆動では、低輝度レベルの画像に対応した映像信号が連続して供給された場合には維持放電の実施回数も減るので、各放電セル内のブライミング効果が低くなって放電が良好に生起されにくくなる。つまり、選択初期化行程SRc'(SRc')での選択書込放電、及び画素データ書込行程Wcでの選択消去放電が不安定になるのである。

【0050】そこで、所定数のフィールド毎に、上記選

択初期化行程  $S R c(S R c')$  の直前にブライミング放電を生起させるブライミング行程を設けることにより、選択初期化行程  $S R c(S R c')$  における選択書込放電を確実に生起させるようにする。この際、上記ブライミング放電は、例えば図 1 1 に示されるが如き正極性のブライミングパルス  $P P$  を行電極に印加することにより生起させる。

【0051】又、サブフィールド各々の内のいずれか 1 のサブフィールドでの画素データ書込行程  $W c$  にて選択消去放電の対象となった放電セルを、その次のサブフィールドの画素データ書込行程  $W c$  において再び選択消去放電の対象とすることにより、画素データ書込動作を確実にするようにしても良い。この際、第 2 データ変換回路 3 4 では図 1 4 に示されるデータ変換テーブルを採用する。従って、このデータ変換テーブルに基づいて変換された駆動画素データ  $G D$  によれば、図 1 4 中の黒丸に示されるように、互いに連続した 2 つのサブフィールド各々の画素データ書込行程  $W c$  にて、連続して選択消去放電が実施されるのである。かかる動作によれば、例えば、1 回目の選択消去放電で放電セル内の壁電荷を正常に消去させることが出来なくても、2 回目の選択消去放電により壁電荷の消去が為されるようになるので、画素データ書込動作が確実に為される。

【0052】

【発明の効果】以上詳述した如く、本発明においては、先頭のサブフィールドにおいてのみで、プラズマディスプレイパネルの放電セル各々の内で輝度レベル 0 の表示を担う放電セルを除く他の放電セルのみを選択的に書込放電せしめてこれらを発光セルの状態に初期化する。そして、先頭サブフィールドを除く他のサブフィールド各々の内のいずれか 1 のサブフィールドにおいてのみで上記発光セルの状態にある放電セルを画素データに応じて選択的に消去放電せしめて非発光セルの状態に推移せしめる。更に、各サブフィールドにおいて上記発光セルの状態にある放電セルのみをそのサブフィールドの重み付けに対応して割り当てた発光回数だけ発光せしめる。

【0053】よって、1 フィールドの表示期間内において放電セルが発光状態にある期間と、非発光状態にある期間とが反転するような発光パターンが存在しないので、偽輪郭の発生が抑制されるようになる。更に、本発明においては、輝度レベル 0 の表示(黒表示)を担うことになる放電セルに対しては、初期化、つまり壁電荷の形成を行わない。従って、本発明によれば、黒表示を担うことになる放電セルでは、壁電荷を形成させる為の放電(発光を伴う)が一切為されないで、黒表示でのコントラストが向上するのである。

【図面の簡単な説明】

【図 1】サブフィールド法に基づく従来の輝度階調動作を説明する為の図である。

【図 2】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図 3】データ変換回路 3 0 の内部構成を示す図である。

【図 4】第 1 データ変換回路 3 2 によるデータ変換特性を示す図である。

【図 5】多階調処理回路 3 3 の内部構成を示す図である。

【図 6】誤差拡散処理回路 3 3 0 の動作を説明する為の図である。

【図 7】ディザ処理回路 3 5 0 の内部構成を示す図である。

【図 8】ディザ処理回路 3 5 0 の動作を説明する為の図である。

【図 9】第 2 データ変換回路 3 4 におけるデータ変換テーブルと、1 フィールド表示期間内での発光駆動パターンとを示す図である。

【図 10】本発明による駆動方法に基づく発光駆動フォーマットの一例を示す図である。

【図 11】図 10 に示される発光駆動フォーマットに従って  $P D P 10$  に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図 12】本発明による駆動方法に基づく発光駆動フォーマットの他の一例を示す図である。

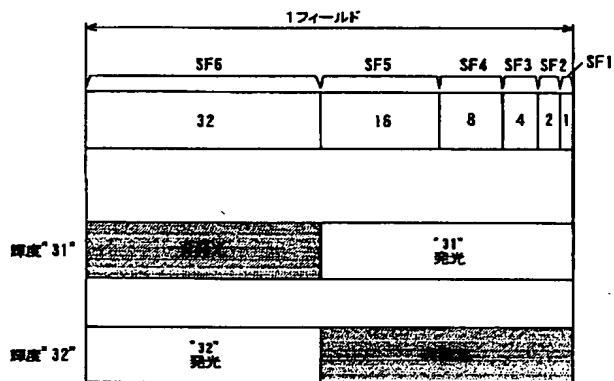
【図 13】図 12 に示される発光駆動フォーマットに従って  $P D P 10$  に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図 14】画素データ書込動作を確実にする際に第 2 データ変換回路 3 4 で採用するデータ変換テーブルと、1 フィールド表示期間内での発光駆動パターンとを示す図である。

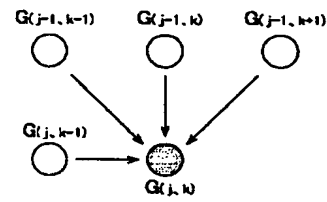
【主要部分の符号の説明】

- 2 駆動制御回路
- 6 アドレスドライバ
- 7 第 1 サスティンドライバ
- 8 第 2 サスティンドライバ
- 10  $P D P$
- 30 データ変換回路
- 32 第 1 データ変換回路
- 33 多階調化処理回路
- 34 第 2 データ変換回路

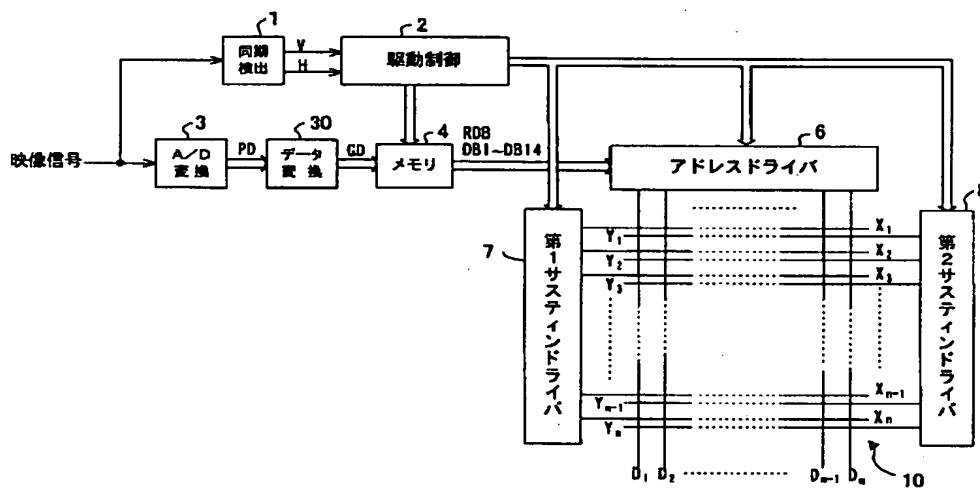
【図 1】



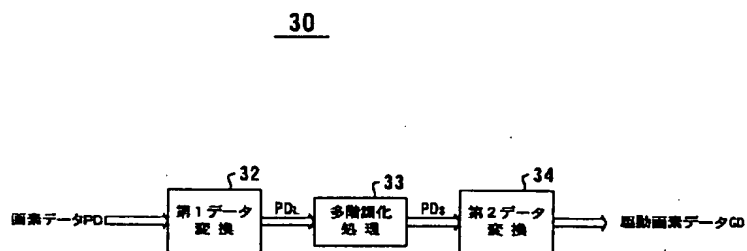
【図 6】



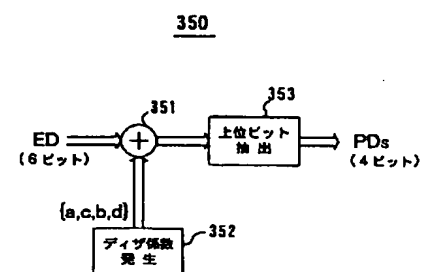
【図 2】



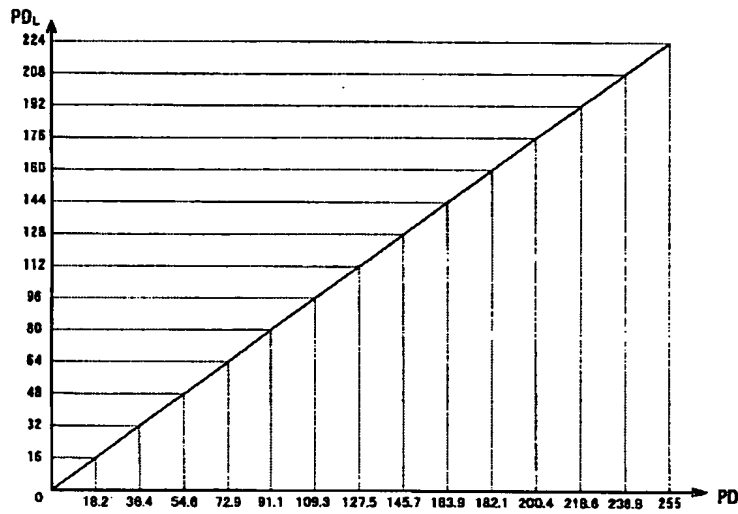
【図 3】



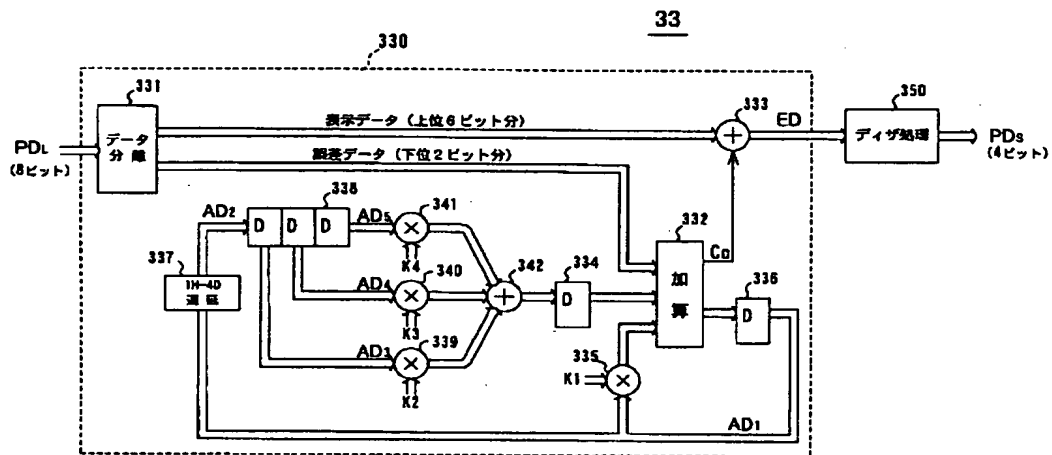
【図 7】



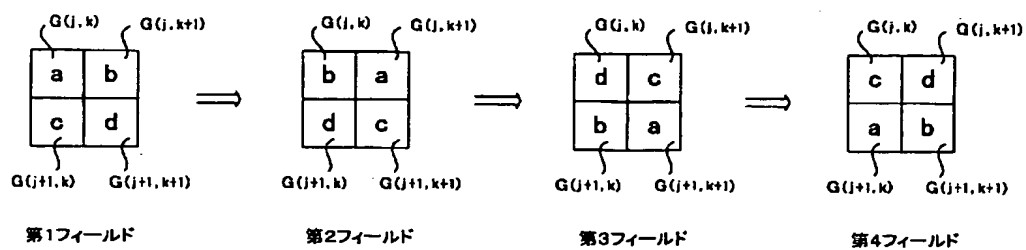
【図 4】



【図 5】



【図 8】

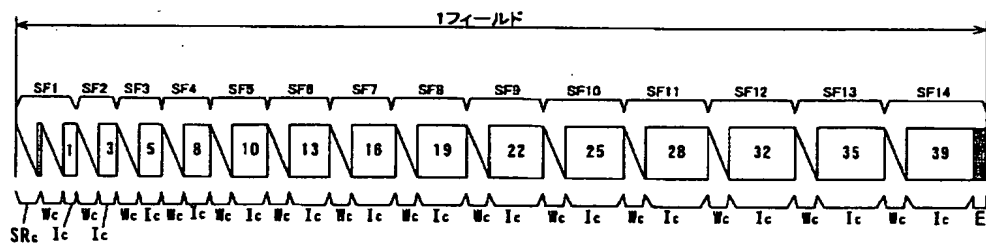


【図9】

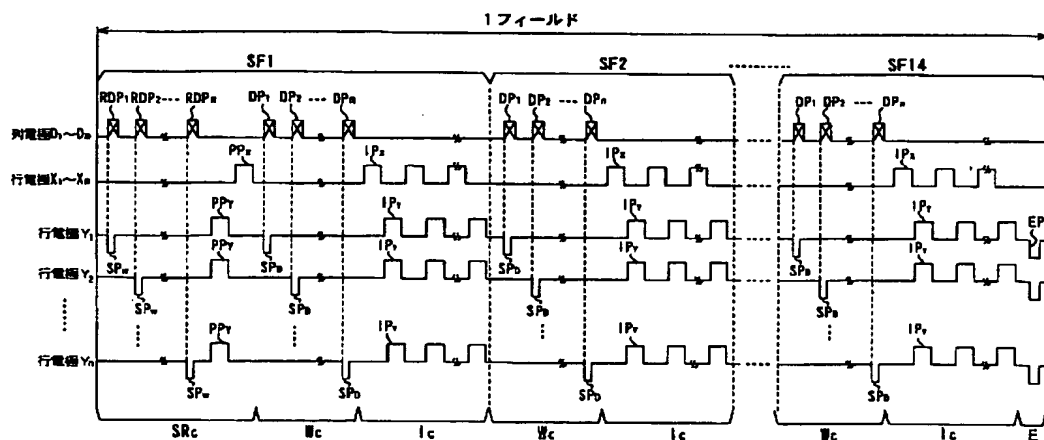
階層	第2データ交換回路34のデータ交換テーブル															1フィールドにおける発光駆動パターン																表示 輝度	
	PDs	GD														SF																	
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	2	3	4	5	6	7	8	9	10	11	12	13	14			
1	0000	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●	●														0	
2	0001	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	●	○	●													1	
3	0010	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	●	○	○	●												4	
4	0011	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	●	○	○	○	●											9	
5	0100	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	●	○	○	○	○	●										17	
6	0101	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	●	○	○	○	○	○	●									27	
7	0110	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	●	○	○	○	○	○	○	●								40	
8	0111	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	●	○	○	○	○	○	○	○	●							56	
9	1000	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	●	○	○	○	○	○	○	○	○	●						75	
10	1001	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	●	○	○	○	○	○	○	○	○	○	○	●				97	
11	1010	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	●		122	
12	1011	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	○	150	
13	1100	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	○	182	
14	1101	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	●	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	217
15	1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	255

●: 選択番込放電+"発光"  
○: "発光"  
●: 選択消去放電

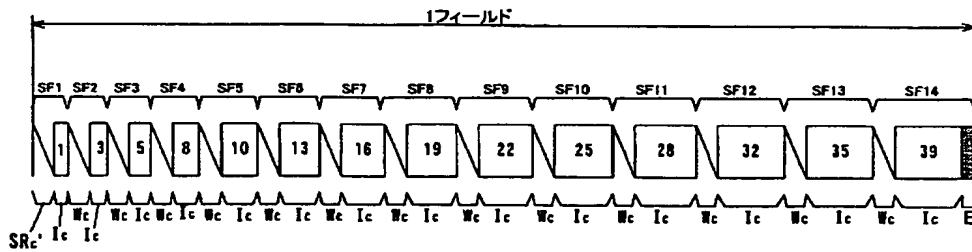
【図10】



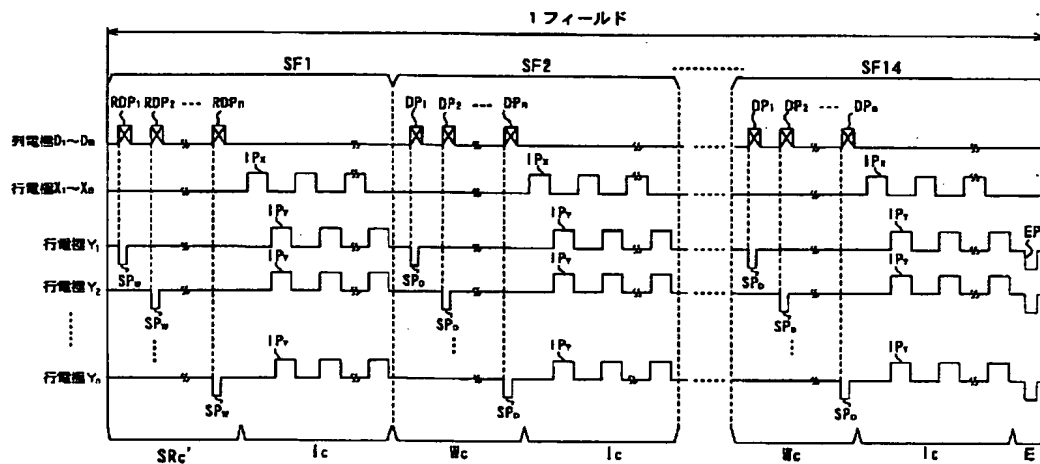
【図11】



【図12】



【図13】



【図14】

期間	第2データ変換回路34のデータ変換テーブル															1フィールドにおける発光駆動パターン															表示 輝度
	PDs	GD														SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF		
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
1	0000	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0															0
2	0001	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	●	●	●												1
3	0010	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	●	○	●	●											4
4	0011	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	●	○	○	●	●										9
5	0100	1	0	0	0	0	1	1	0	0	0	0	0	0	0	0	●	○	○	○	●	●									17
6	0101	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	●	○	○	○	○	●	●								27
7	0110	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	●	○	○	○	○	○	●	●							40
8	0111	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	●	○	○	○	○	○	○	○	●	●					56
9	1000	1	0	0	0	0	0	0	0	0	0	1	1	0	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	75
10	1001	1	0	0	0	0	0	0	0	0	0	0	1	1	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	97
11	1010	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	122
12	1011	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1	●	○	○	○	○	○	○	○	○	○	○	○	○	○	150
13	1100	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	●	○	○	○	○	○	○	○	○	○	○	○	○	○	182
14	1101	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	217
15	1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●	○	○	○	○	○	○	○	○	○	○	○	○	○	255

●:選択書込放電+“発光”  
 ○:“発光”  
 ●:選択消去放電

フロントページの続き

(72)発明者 本田 広史

山梨県中巨摩郡田富町西花輪2680番地 パ

イオニア株式会社内

Fターム(参考) 5C080 AA05 BB05 DD01 DD30 EE19

EE29 FF12 GG12 JJ02 JJ04

JJ05